(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0071277
(43) 공개일자 2019년06월24일

(51) 국제특허분류(Int. Cl.)
H01L 27/15 (2006.01) *H01L 33/00* (2010.01)
H01L 33/42 (2010.01)
(52) CPC특허분류
H01L 27/156 (2013.01)
H01L 33/0008 (2013.01)
(21) 출원번호 10-2017-0172172
(22) 출원일자 2017년12월14일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김일수
경기도 파주시 월롱면 엘지로 245
정태일
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인(유한)유일하이스트

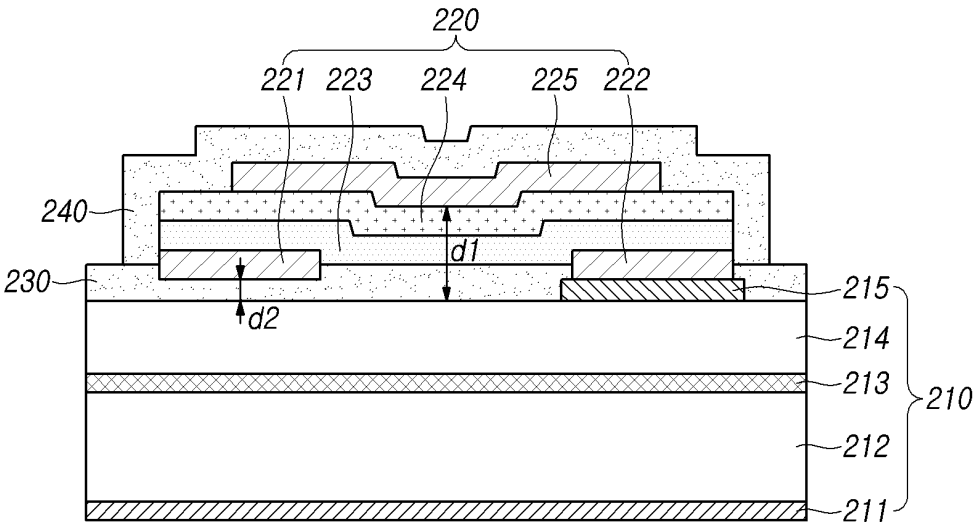
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 **발광 소자, 마이크로 디스플레이 장치**

(57) 요 약

본 발명의 실시예들은 발광 소자와 마이크로 디스플레이 장치에 관한 것으로서, 웨이퍼 기판 상에서 성장시킨 마이크로 발광 다이오드 상에 애노드 전극을 구성하고 탑 게이트 구조의 트랜지스터를 형성함으로써, 마이크로 발광 다이오드를 트랜지스터가 형성된 기판으로 전사하는 공정 없이 발광 소자와 마이크로 디스플레이 장치를 구현할 수 있도록 한다. 또한, 마이크로 발광 다이오드의 식각 영역을 최소화하여 마이크로 발광 다이오드의 발광 효율을 극대화하며 칩 사이즈를 감소시킬 수 있도록 함으로써, 단위 면적 당 배치되는 픽셀의 수를 증가시켜 마이크로 디스플레이 장치의 고정세를 이룰 수 있도록 한다.

대 표 도 - 도3



(52) CPC특허분류
H01L 33/42 (2013.01)

명 세 서

청구범위

청구항 1

공통 전극;

상기 공통 전극 상에 배치되고, 발광 영역과 상기 발광 영역 사이의 경계 영역으로 구분되는 n형 반도체층;

상기 n형 반도체층 상에서 상기 발광 영역에 배치된 다수의 활성층;

상기 다수의 활성층 상에 각각 배치된 다수의 p형 반도체층;

상기 다수의 p형 반도체층 상에 각각 배치된 다수의 개별 전극; 및

상기 다수의 개별 전극 상에 각각 위치하고, 상기 다수의 개별 전극과 각각 연결된 다수의 트랜지스터

를 포함하는 마이크로 디스플레이 장치.

청구항 2

제1항에 있어서,

상기 다수의 트랜지스터 각각은,

소스 전극, 드레인 전극 및 게이트 전극을 포함하고,

상기 게이트 전극과 상기 p형 반도체층 사이의 제1 거리는 상기 소스 전극 또는 상기 드레인 전극과 상기 p형 반도체층 사이의 제2 거리보다 긴 마이크로 디스플레이 장치.

청구항 3

제1항에 있어서,

상기 발광 영역에 배치된 다수의 활성층 각각은 상기 경계 영역에 의해 서로 절연되고, 상기 다수의 활성층 상에 각각 배치된 다수의 p형 반도체층 각각은 상기 경계 영역에 의해 서로 절연된 마이크로 디스플레이 장치.

청구항 4

제1항에 있어서,

상기 n형 반도체층은,

상기 경계 영역에 위치하는 홈을 포함하는 마이크로 디스플레이 장치.

청구항 5

제4항에 있어서,

상기 n형 반도체층에 포함된 상기 홈의 깊이는 상기 n형 반도체층의 두께와 동일하거나, 상기 n형 반도체층의 두께보다 작은 마이크로 디스플레이 장치.

청구항 6

제4항에 있어서,

상기 n형 반도체층에 포함된 상기 홈에 위치하는 절연 물질을 더 포함하고,

상기 절연 물질은,

상기 p형 반도체층, 상기 활성층 및 상기 n형 반도체층의 외측면을 감싸며 배치된 마이크로 디스플레이 장치.

청구항 7

제1항에 있어서,

상기 공통 전극은 투명 전극이고, 상기 다수의 개별 전극은 불투명 전극인 마이크로 디스플레이 장치.

청구항 8

제1항에 있어서,

상기 p형 반도체층은 상기 활성층 상의 전체 영역에 배치되고, 상기 개별 전극은 상기 p형 반도체층 상의 일부 영역에 배치된 마이크로 디스플레이 장치.

청구항 9

제1항에 있어서,

상기 p형 반도체층과 상기 트랜지스터 사이에서 상기 개별 전극이 배치된 영역을 제외한 영역에 배치된 평탄화층; 및

상기 트랜지스터 상에 배치된 보호층을 더 포함하는 마이크로 디스플레이 장치.

청구항 10

제1항에 있어서,

상기 공통 전극의 배면에 위치하고, 상기 발광 영역과 대응하는 영역마다 분리되어 배치된 다수의 색상 변환층을 더 포함하는 마이크로 디스플레이 장치.

청구항 11

다수의 게이트 라인, 다수의 데이터 라인 및 다수의 서브픽셀이 배치된 패널; 및

상기 다수의 서브픽셀 각각에 배치된 발광 소자를 포함하고,

상기 발광 소자는,

발광 다이오드와 상기 발광 다이오드 상에 위치하는 트랜지스터를 포함하며,

상기 발광 다이오드는,

배면의 전체 영역에 배치된 투명 전극과, 상면의 일부 영역에 배치되고 상기 트랜지스터와 연결된 불투명 전극을 포함하는 마이크로 디스플레이 장치.

청구항 12

제11항에 있어서,

상기 트랜지스터는,

소스 전극, 드레인 전극 및 게이트 전극을 포함하고,

상기 게이트 전극과 상기 발광 다이오드 사이의 제1 거리는 상기 소스 전극 또는 상기 드레인 전극과 상기 발광 다이오드 사이의 제2 거리보다 긴 마이크로 디스플레이 장치.

청구항 13

투명한 제1 전극;

상기 제1 전극 상에 배치된 제1 반도체층;

상기 제1 반도체층 상에 배치된 활성층;

상기 활성층 상에 배치된 제2 반도체층;

상기 제2 반도체층 상에 배치되고 불투명한 제2 전극; 및

상기 제2 전극 상에 위치하고, 소스 전극, 드레인 전극 및 게이트 전극을 포함하며, 상기 게이트 전극과 상기 제2 반도체층 사이의 제1 거리가 상기 소스 전극 또는 상기 드레인 전극과 상기 제2 반도체층 사이의 제2 거리보다 긴 트랜지스터

를 포함하는 발광 소자.

청구항 14

제13항에 있어서,

상기 제2 반도체층과 상기 트랜지스터 사이에서 상기 제2 전극이 배치된 영역을 제외한 영역에 배치된 평탄화층; 및

상기 트랜지스터 상에 배치된 보호층을 더 포함하는 발광 소자.

청구항 15

제14항에 있어서,

상기 보호층은,

상기 제2 반도체층과 상기 활성층의 외측면을 감싸고, 상기 제1 반도체층의 외측면 중 적어도 일부분을 감싸는 발광 소자.

발명의 설명

기 술 분 야

[0001] 본 발명의 실시예들은 발광 소자와 마이크로 디스플레이 장치에 관한 것이다.

배 경 기 술

[0003] 정보화 사회가 발전함에 따라 화상을 표시하는 디스플레이 장치에 대한 요구가 증가하고 있으며, 액정 디스플레이 장치(Liquid Crystal Display Device), 플라즈마 디스플레이 장치(Plasma Display Device), 유기발광 디스플레이 장치(Organic Light Emitting Display Device) 등과 같은 다양한 유형의 디스플레이 장치가 활용되고 있다.

[0004] 이러한 디스플레이 장치는, 다수의 서브픽셀이 배열된 디스플레이 패널과, 이를 구동하기 위한 게이트 구동 회로, 데이터 구동 회로 등과 같은 각종 구동 회로를 포함할 수 있다.

[0005] 종래 디스플레이 장치에서 디스플레이 패널은 유리 기판 상에 트랜지스터, 각종 전극 및 각종 신호 배선 등이 형성되어 구성되고, 집적 회로로 구현될 수 있는 구동 회로는 인쇄 회로에 실장되어 디스플레이 패널과 전기적으로 연결된다.

[0006] 이러한 기존 디스플레이 장치의 구조는 대형 디스플레이 장치에는 적합하지만, 소형 디스플레이 장치에는 적합하지 않다.

[0007] 따라서, 최근에는 소형 디스플레이 장치에 적합한 구조를 갖는 마이크로 발광 다이오드(μLED)를 이용한 디스플레이 장치(이하, "마이크로 디스플레이 장치"라고도 함)가 등장하고 있으며, 마이크로 발광 다이오드(μLED)는 수십 ㎛ 이하의 크기를 갖는 초소형 발광 다이오드를 의미한다.

[0008] 이러한 마이크로 디스플레이 장치는 마이크로 발광 다이오드(μLED) 자체를 픽셀로 이용하며, 소형화, 경량화가 가능하여 스마트 워치, 모바일 기기, 가상 현실 장치, 증강 현실 장치 및 플렉서블 디스플레이 장치 등에 다양하게 활용될 수 있는 이점을 제공한다.

[0009] 이러한 마이크로 디스플레이 장치는, 일 예로, 웨이퍼 기판 상에서 성장시킨 마이크로 발광 다이오드(μLED)를 웨이퍼 기판에서 분리하고, 분리된 마이크로 발광 다이오드(μLED)를 트랜지스터 기판으로 전사시킴으로써 구현될 수 있다.

[0010] 이때, 마이크로 발광 다이오드(μLED)를 트랜지스터 기판으로 전사시키는 공정은 마이크로 발광 다이오드(μLED)의 크기가 매우 작기 때문에 많은 어려움이 존재한다. 그리고, 전사 공정의 어려움으로 인해 다수의 마이크로 발광 다이오드(μLED)를 전사시켜 고해상도의 마이크로 디스플레이 장치를 구현하는 데 한계가 존재한다.

[0011] 또한, 마이크로 발광 다이오드(μLED)와 트랜지스터의 전기적인 연결을 위해 마이크로 발광 다이오드(μLED)에 비아 홀과 같은 구조를 형성할 경우, 마이크로 발광 다이오드(μLED)의 크기가 증가하여 고정세를 구현하기 어려우며 비아 홀에 의한 발광 면적 감소로 인해 발광 효율이 저하되는 문제점이 존재한다.

[0012] 따라서, 마이크로 발광 다이오드(μLED)의 작은 크기를 유지하고 발광 효율을 극대화하여 고정세를 구현하며, 전사 공정의 한계를 극복하여 고해상도를 구현할 수 있는 마이크로 발광 다이오드(μLED)와 마이크로 디스플레이 장치가 요구된다.

발명의 내용

해결하려는 과제

[0014] 본 발명의 실시예들의 목적은, 마이크로 발광 다이오드(μLED)를 트랜지스터 기판으로 전사시키는 공정을 거치지 않고 마이크로 디스플레이 장치를 구현할 수 있도록 하는 마이크로 발광 다이오드(μLED)와 이를 이용하여 구현된 마이크로 디스플레이 장치를 제공하는 데 있다.

[0015] 본 발명의 실시예들의 목적은, 마이크로 발광 다이오드(μLED)의 발광 효율을 개선하고 마이크로 발광 다이오드(μLED)를 초소형으로 구현할 수 있도록 하여, 단위 면적 당 픽셀의 수를 증가시킨 마이크로 디스플레이 장치를 제공하는 데 있다.

과제의 해결 수단

[0017] 일 측면에서, 본 발명의 실시예들은, 공통 전극과, 공통 전극 상에 배치되고 발광 영역 및 발광 영역 사이의 경계 영역으로 구분되는 n형 반도체층과, n형 반도체층 상에서 발광 영역에 배치된 다수의 활성층과, 다수의 활성층 상에 각각 배치된 다수의 p형 반도체층과, 다수의 p형 반도체층 상에 각각 배치된 다수의 개별 전극과, 다수의 개별 전극 상에 각각 위치하고 다수의 개별 전극과 각각 연결된 다수의 트랜지스터를 포함하는 마이크로 디스플레이 장치를 제공한다.

[0018] 다른 측면에서, 본 발명의 실시예들은, 다수의 게이트 라인, 다수의 데이터 라인 및 다수의 서브픽셀이 배치된

패널과, 다수의 서브픽셀 각각에 배치된 발광 소자를 포함하고, 발광 소자는 발광 다이오드와 발광 다이오드 상에 위치하는 트랜지스터를 포함하며, 발광 다이오드는 배면의 전체 영역에 배치된 투명 전극과, 상면의 일부 영역에 배치되고 트랜지스터와 연결된 불투명 전극을 포함하는 마이크로 디스플레이 장치를 제공한다.

[0019] 다른 측면에서, 본 발명의 실시예들은, 투명한 제1 전극과, 제1 전극 상에 배치된 제1 반도체층과, 제1 반도체층 상에 배치된 활성층과, 활성층 상에 배치된 제2 반도체층과, 제2 반도체층 상에 배치되고 불투명한 제2 전극과, 제2 전극 상에 위치하고 소스 전극, 드레인 전극 및 게이트 전극을 포함하며 게이트 전극과 제2 반도체층 사이의 제1 거리가 소스 전극 또는 드레인 전극과 제2 반도체층 사이의 제2 거리보다 긴 트랜지스터를 포함하는 발광 소자를 제공한다.

발명의 효과

[0021] 본 발명의 실시예들에 의하면, 웨이퍼 기판에서 성장시킨 마이크로 발광 다이오드(μLED) 상에 트랜지스터를 성장시킴으로써, 마이크로 발광 다이오드(μLED)를 트랜지스터 기판으로 전사시키는 공정 없이 마이크로 디스플레이 장치를 구현할 수 있도록 한다.

[0022] 본 발명의 실시예들에 의하면, 마이크로 발광 다이오드(μLED) 상에 트랜지스터를 탑 게이트 구조로 구현함으로써, 마이크로 발광 다이오드(μLED)와 트랜지스터의 전기적인 연결 구조로 인한 마이크로 발광 다이오드(μLED)의 발광 면적 감소와 크기 증가를 방지한다. 따라서, 발광 효율이 극대화된 초소형의 마이크로 발광 다이오드(μLED)를 제공할 수 있도록 하며, 이러한 마이크로 발광 다이오드(μLED)를 이용하여 고정세를 구현한 마이크로 디스플레이 장치를 제공할 수 있도록 한다.

도면의 간단한 설명

[0024] 도 1은 본 발명의 실시예들에 따른 마이크로 디스플레이 장치의 개략적인 구성을 나타낸 도면이다.

도 2는 본 발명의 실시예들에 따른 마이크로 디스플레이 장치에 배치된 서브픽셀의 회로 구조의 예시를 나타낸 도면이다.

도 3은 본 발명의 실시예들에 따른 발광 소자의 단면 구조의 예시를 나타낸 도면이다.

도 4a 내지 도 4c는 도 3에 도시된 발광 소자를 구현하는 과정의 예시를 나타낸 도면이다.

도 5는 본 발명의 실시예들에 따른 발광 소자가 배열된 디스플레이 패널의 평면 구조의 예시를 나타낸 도면이다.

도 6은 도 5에 도시된 디스플레이 패널에서 A-A' 부분의 단면 구조의 예시를 나타낸 도면이다.

도 7은 도 5에 도시된 디스플레이 패널에서 A-A' 부분의 단면 구조의 다른 예시를 나타낸 도면이다.

도 8은 도 5에 도시된 디스플레이 패널에서 A-A' 부분의 단면 구조의 또 다른 예시를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0025] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.

[0026] 또한, 본 발명의 구성요소를 설명하는 데 있어서, 제1, 제2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성요소를 다른 구성요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성요소 사이에 다른 구성요소가 "개재"되거나, 각 구성요소가 다른 구성요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.

[0027] 도 1은 본 발명의 실시예들에 따른 마이크로 디스플레이 장치(100)의 개략적인 구성을 나타낸 것이다.

[0028] 도 1을 참조하면, 본 발명의 실시예들에 따른 마이크로 디스플레이 장치(100)는, 마이크로 발광 다이오드(μLED)를 포함하는 다수의 서브픽셀(SP)이 배열된 디스플레이 패널(110)과, 디스플레이 패널(110)을 구동하기 위한 게이트 구동 회로(120), 데이터 구동 회로(130) 및 컨트롤러(140) 등을 포함할 수 있다.

[0029] 디스플레이 패널(110)에는, 다수의 게이트 라인(GL)과 다수의 데이터 라인(DL)이 배치되고, 게이트 라인(GL)과 데이터 라인(DL)이 교차하는 영역에 서브픽셀(SP)이 배치된다. 이러한 서브픽셀(SP)은 각각 마이크로 발광 다이오드(μLED)를 포함할 수 있으며, 둘 이상의 서브픽셀(SP)이 하나의 픽셀을 구성할 수 있다.

[0030] 게이트 구동 회로(120)는, 컨트롤러(140)에 의해 제어되며, 디스플레이 패널(110)에 배치된 다수의 게이트 라인(GL)으로 스캔 신호를 순차적으로 출력하여 다수의 서브픽셀(SP)의 구동 타이밍을 제어한다.

[0031] 게이트 구동 회로(120)는, 하나 이상의 게이트 드라이버 집적 회로(GDIC, Gate Driver Integrated Circuit)를 포함할 수 있으며, 구동 방식에 따라 디스플레이 패널(110)의 일 측에만 위치할 수도 있고 양 측에 위치할 수도 있다. 또는, 게이트 구동 회로(120)는, 디스플레이 패널(110)의 배면에 위치할 수도 있다.

[0032] 데이터 구동 회로(130)는, 컨트롤러(140)로부터 영상 데이터를 수신하고, 영상 데이터를 아날로그 형태의 데이터 전압으로 변환한다. 그리고, 게이트 라인(GL)을 통해 스캔 신호가 인가되는 타이밍에 맞춰 데이터 전압을 각각의 데이터 라인(DL)으로 출력하여 각각의 서브픽셀(SP)이 영상 데이터에 따른 밝기를 표현하도록 한다.

[0033] 데이터 구동 회로(130)는, 하나 이상의 소스 드라이버 집적 회로(SDIC, Source Driver Integrated Circuit)를 포함할 수 있다.

[0034] 컨트롤러(140)는, 게이트 구동 회로(120)와 데이터 구동 회로(130)로 각종 제어 신호를 공급하며, 게이트 구동 회로(120)와 데이터 구동 회로(130)의 동작을 제어한다.

[0035] 컨트롤러(140)는, 각 프레임에서 구현하는 타이밍에 따라 게이트 구동 회로(120)가 스캔 신호를 출력하도록 하며, 외부에서 수신한 영상 데이터를 데이터 구동 회로(130)에서 사용하는 데이터 신호 형식에 맞게 변환하여 변환된 영상 데이터를 데이터 구동 회로(130)로 출력한다.

[0036] 컨트롤러(140)는, 영상 데이터와 함께 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 데이터 인에이블 신호(DE, Data Enable), 클럭 신호(CLK) 등을 포함하는 각종 타이밍 신호를 외부(예, 호스트 시스템)로부터 수신한다.

[0037] 컨트롤러(140)는, 외부로부터 수신한 각종 타이밍 신호를 이용하여 각종 제어 신호를 생성하고 게이트 구동 회로(120) 및 데이터 구동 회로(130)로 출력할 수 있다.

[0038] 일 예로, 컨트롤러(140)는, 게이트 구동 회로(120)를 제어하기 위하여, 게이트 스타트 펄스(GSP, Gate Start Pulse), 게이트 시프트 클럭(GSC, Gate Shift Clock), 게이트 출력 인에이블 신호(GOE, Gate Output Enable) 등을 포함하는 각종 게이트 제어 신호를 출력한다.

[0039] 여기서, 게이트 스타트 펄스(GSP)는 게이트 구동 회로(120)를 구성하는 하나 이상의 게이트 드라이버 집적 회로의 동작 스타트 타이밍을 제어한다. 게이트 시프트 클럭(GSC)은 하나 이상의 게이트 드라이버 집적 회로에 공통으로 입력되는 클럭 신호로서, 스캔 신호의 시프트 타이밍을 제어한다. 게이트 출력 인에이블 신호(GOE)는 하나 이상의 게이트 드라이버 집적 회로의 타이밍 정보를 지정하고 있다.

[0040] 또한, 컨트롤러(140)는, 데이터 구동 회로(130)를 제어하기 위하여, 소스 스타트 펄스(SSP, Source Start Pulse), 소스 샘플링 클럭(SSC, Source Sampling Clock), 소스 출력 인에이블 신호(SOE, Source Output Enable) 등을 포함하는 각종 데이터 제어 신호를 출력한다.

[0041] 여기서, 소스 스타트 펄스(SSP)는 데이터 구동 회로(130)를 구성하는 하나 이상의 소스 드라이버 집적 회로의 데이터 샘플링 스타트 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 소스 드라이버 집적 회로 각각에서 데이터의 샘플링 타이밍을 제어하는 클럭 신호이다. 소스 출력 인에이블 신호(SOE)는 데이터 구동 회로(130)의 출력 타이밍을 제어한다.

[0042] 이러한 마이크로 디스플레이 장치(100)는, 디스플레이 패널(110), 게이트 구동 회로(120), 데이터 구동 회로(130) 등으로 각종 전압 또는 전류를 공급해주거나, 공급할 각종 전압 또는 전류를 제어하는 전원 관리 집적 회로를 더 포함할 수 있다.

[0043] 디스플레이 패널(110)에는, 게이트 라인(GL)과 데이터 라인(DL) 이외에 각종 신호나 전압이 공급되는 전압 라인이 배치될 수 있으며, 각각의 서브픽셀(SP)에는 마이크로 발광 다이오드(μLED)와 이를 구동하기 위한 트랜지스터 등이 배치될 수 있다.

[0044] 도 2는 본 발명의 실시예들에 따른 마이크로 디스플레이 장치(100)의 디스플레이 패널(110)에 배열되는 서브픽셀(SP)의 회로 구조의 예시를 나타낸 것이다.

[0045] 도 2를 참조하면, 본 발명의 실시예들에 따른 마이크로 디스플레이 장치(100)의 디스플레이 패널(110)에 배열된 서브픽셀(SP)에는 게이트 라인(GL)과 데이터 라인(DL)이 교차하며 배치된다. 그리고, 구동 전압(Vdd)이 공급되는 구동 전압 라인(DVL)과 공통 전압(Vcom)이 공급되는 공통 전압 라인(CVL)이 배치될 수 있다.

[0046] 각각의 서브픽셀(SP)에는 마이크로 발광 다이오드(μLED)와, 이를 구동하기 위한 구동 트랜지스터(DRT)와, 구동 트랜지스터(DRT)의 동작 타이밍을 제어하는 스위칭 트랜지스터(SWT)와, 스토리지 캐패시터(Cst) 등이 배치될 수 있다.

[0047] 스위칭 트랜지스터(SWT)는, 데이터 라인(DL)과 구동 트랜지스터(DRT)의 제1 노드(N1) 사이에 전기적으로 연결되며, 게이트 라인(GL)으로 인가되는 스캔 신호에 의해 턴-온 되고 데이터 전압(Vdata)이 구동 트랜지스터(DRT)의 제1 노드(N1)로 공급되도록 한다.

[0048] 구동 트랜지스터(DRT)는, 제1 노드(N1)에 인가되는 데이터 전압(Vdata)에 따라 구동 전압(Vdd)이 마이크로 발광 다이오드(μLED)의 애노드 전극으로 인가되도록 한다.

[0049] 스토리지 캐패시터(Cst)는, 구동 트랜지스터(DRT)의 제1 노드(N1)와 제3 노드(N3) 사이에 전기적으로 연결되며, 제1 노드(N1)에 인가된 데이터 전압(Vdata)을 한 프레임 동안 유지시켜줄 수 있다.

[0050] 마이크로 발광 다이오드(μLED)는, 애노드 전극으로 데이터 전압(Vdata)에 따라 공급되는 구동 전압(Vdd)을 인가받고, 캐소드 전극으로 공통 전압(Vcom)을 인가받는다. 그리고, 애노드 전극과 캐소드 전극의 전압 차에 따른 밝기를 나타낼 수 있다.

[0051] 이러한 마이크로 발광 다이오드(μLED)는, 애노드 전극이 구동 트랜지스터(DRT)의 제3 노드(N3)와 연결될 수도 있으나, 구동 전압 라인(DVL)과 연결되는 구조일 수도 있다. 즉, 마이크로 발광 다이오드(μLED)의 애노드 전극과 캐소드 전극 중 하나의 전극이 구동 트랜지스터(DRT)와 연결되고, 다른 전극이 공통 전압 라인(CVL) 또는 구동 전압 라인(DVL)과 연결되는 구조는 모두 본 발명의 실시예들의 범위에 포함될 수 있다.

[0052] 한편, 이러한 마이크로 디스플레이 장치(100)의 서브픽셀(SP)은 웨이퍼 기판에서 성장시킨 마이크로 발광 다이오드(μLED)를 트랜지스터 기판으로 전사시킴으로써 구현될 수 있다.

[0053] 또는, 웨이퍼 기판에서 마이크로 발광 다이오드(μLED)와 트랜지스터를 함께 성장시킴으로써 전사 공정 없이 마이크로 디스플레이 장치(100)를 구현할 수도 있다. 즉, 웨이퍼 기판에서 성장된 마이크로 발광 다이오드(μLED)와 트랜지스터가 하나의 발광 소자를 이루며, 하나의 발광 소자가 하나의 서브픽셀(SP)을 구성하도록 할 수도 있다.

[0054] 도 3은 본 발명의 실시예들에 따른 발광 소자(200)의 단면 구조의 예시를 나타낸 것으로서, 마이크로 발광 다이오드(μLED, 210)와 트랜지스터(220)가 일체로 구성된 발광 소자(200)의 예시를 나타낸 것이다.

[0055] 도 3을 참조하면, 본 발명의 실시예들에 따른 발광 소자(200)는, 마이크로 발광 다이오드(210)와 마이크로 발광 다이오드(210) 상에 배치된 트랜지스터(220)를 포함한다.

[0056] 마이크로 발광 다이오드(210)는, 공통 전극(211)과, 공통 전극(211) 상에 배치된 n형 반도체층(212)과, n형 반도체층(212) 상에 배치된 활성층(213)과, 활성층(213) 상에 배치된 p형 반도체층(214)과, p형 반도체층(214) 상에 배치된 개별 전극(215)을 포함할 수 있다.

[0057] 공통 전극(211)은, 공통 전압(Vcom)이 인가되는 전극으로서 음의 전압이 인가되는 캐소드 전극일 수 있다. 그리고, 공통 전극(211)은 투명한 전극일 수 있으며, 일 예로, ITO(Indium Tin Oxide)나 IZO(Indium Zinc Oxide)로 구성될 수 있으나 이에 한정되지는 아니한다.

[0058] n형 반도체층(212)은, 음의 전하를 가지는 자유 전자가 캐리어로서 이동하여 전류가 생기는 반도체층으로서, n-GaN계 물질로 이루어진 반도체층일 수 있다. n-GaN계 반도체 물질로는 GaN, AlGaN, InGaN, AlInGaN 등이 될 수 있으며, n형 반도체층(212)의 도핑에 사용되는 불순물로는 Si, Ge, Se, Te, C 등이 사용될 수 있다. 그리고, 도

면에 도시되지는 않았으나, n형 반도체층(212)과 공통 전극(211)의 사이에는 도핑되지 않은 GaN계 반도체층과 같은 버퍼층이 형성될 수도 있다.

[0059] 활성층(213)은, n형 반도체층(212) 상에 배치되고, 우물층과 우물층보다 밴드 갭이 높은 장벽층을 갖는 다중 양자 우물(MQW: Multi Quantum Well) 구조를 가질 수 있다. 이러한 활성층(213)은 InGaN/GaN 등의 다중 양자 우물 구조를 가질 수 있다.

[0060] p형 반도체층(213)은, 양의 전하를 가지는 정공이 캐리어로서 이동하여 전류가 생기는 반도체층으로서, p-GaN계 물질로 이루어진 반도체층일 수 있다. p-GaN계 반도체 물질로는 GaN, AlGaN, InGaN, AlInGaN 등이 될 수 있으며, p형 반도체층(213)의 도핑에 사용되는 불순물로는 Mg, Zn, Be 등이 이용될 수 있다.

[0061] 개별 전극(215)은, p형 반도체층(213) 상에 배치되고 트랜지스터(220)를 통해 데이터 전압(Vdata)에 해당하는 전압을 공급받을 수 있다. 이러한 개별 전극(215)은 양의 전압이 인가되는 애노드 전극일 수 있다.

[0062] 이러한 개별 전극(215)은, 트랜지스터(220)를 통해 공급되는 전압을 p형 반도체층(214)으로 전달해야 하므로 전도성이 높은 금속 물질로 이루어질 수 있다. 즉, 불투명 전극일 수 있다. 그리고, 개별 전극(215)은, 트랜지스터(220)와 전기적으로 연결되어야 하므로 접합성이 좋은 물질을 포함할 수 있다. 일 예로, 개별 전극(215)은, Ni/Au 합금이나 Ti/Au 합금으로 이루어질 수 있다.

[0063] 개별 전극(215)을 통해 양의 전압이 인가되고 공통 전극(211)을 통해 음의 전압이 인가되면, n형 반도체층(212)의 전자의 이동과 p형 반도체층(214)의 정공의 흐름에 의해 개별 전극(215)과 공통 전극(211) 사이에 전류가 흐르게 된다. 그리고, 개별 전극(215)과 공통 전극(211) 사이에 흐르는 전류에 따른 전자와 정공의 재결합에 의해 활성층(213)이 발광하게 된다.

[0064] 트랜지스터(220)는, 마이크로 발광 다이오드(210)의 개별 전극(215) 상에 위치할 수 있다.

[0065] 즉, 마이크로 발광 다이오드(210) 상에 트랜지스터(220)를 형성함으로써, 마이크로 발광 다이오드(210)를 트랜지스터(220)가 형성된 기판으로 전사시키지 않고 발광 소자(200)를 구현할 수 있도록 한다.

[0066] 또한, 마이크로 발광 다이오드(210) 상에 트랜지스터(220)가 위치하도록 하여 마이크로 발광 다이오드(210)의 발광 영역을 식각하지 않고 발광 소자(200)를 구현함으로써, 발광 소자(200)의 발광 효율을 극대화할 수 있다.

[0067] 마이크로 발광 다이오드(210) 상에 배치되는 트랜지스터(220)는, 소스 전극(221), 드레인 전극(222)을 포함하고, 드레인 전극(222)은 마이크로 발광 다이오드(210)의 개별 전극(215)과 전기적으로 연결될 수 있다. 소스 전극(221) 및 드레인 전극(222) 상에 채널층(223)이 배치되고, 채널층(223) 상에 게이트 절연층(224)이 배치된다. 그리고, 게이트 절연층(224) 상에 게이트 전극(225)이 배치된다.

[0068] 게이트 전극(225)으로 스캔 신호가 인가되면 소스 전극(221)으로 인가된 데이터 전압(Vdata)이 채널층(223)을 통해 드레인 전극(222)으로 전달되어 개별 전극(215)에 인가될 수 있다. 또는, 게이트 전극(225)으로 데이터 전압(Vdata)에 해당하는 전압이 인가되면 소스 전극(221)으로 인가되는 구동 전압(Vdd)이 데이터 전압(Vdata)에 해당하는 전압만큼 드레인 전극(222)으로 전달되어 개별 전극(215)으로 공급될 수 있다.

[0069] 여기서, 트랜지스터(220)는, 게이트 전극(225)이 트랜지스터(220)의 상부에 위치하는 탑 게이트 구조를 가질 수 있다. 즉, 소스 전극(221)과 드레인 전극(222)이 p형 반도체층(214)과 인접하게 위치하고, 게이트 전극(225)은 p형 반도체층(214)으로부터 소스 전극(221) 및 드레인 전극(222)보다 더 멀리 위치할 수 있다. 일 예로, 게이트 전극(221)과 p형 반도체층(214) 사이의 거리는 d1이고 소스 전극(221) 및 드레인 전극(222)과 p형 반도체층(214) 사이의 거리는 d2일 수 있으며, d1이 d2보다 길 수 있다.

[0070] 이와 같이, 게이트 전극(225)이 트랜지스터(220)의 상부에 위치하도록 함으로써, 소스 전극(221)과 드레인 전극(222)이 p형 반도체층(214)과 인접하게 위치하도록 할 수 있다.

[0071] 따라서, 트랜지스터(220)의 드레인 전극(222)과 마이크로 발광 다이오드(210)의 개별 전극(215)을 전기적으로 연결시키기 위해 비아 홀과 같은 구조를 형성하지 않아도 된다. 그러므로, 비아 홀의 형성으로 인해 마이크로 발광 다이오드(210)의 크기가 증가하는 것을 방지할 수 있도록 한다.

[0072] 이러한 발광 소자(200)는, 웨이퍼 기판 상에서 마이크로 발광 다이오드(210)를 성장시킨 후, 마이크로 발광 다이오드(210) 상에 트랜지스터(220)를 성장시킴으로써 구현될 수 있다.

[0073] 도 4a 내지 도 4c는 본 발명의 실시예들에 따른 발광 소자(200)를 구현하는 과정의 예시를 나타낸 것이다.

[0074] 도 4a를 참조하면, 사파이어 기판(300) 상에서 에피택시 공정을 수행하여 n형 반도체층(212), 활성층(213) 및 p형 반도체층(214)을 성장시킨다.

[0075] 그리고, p형 반도체층(214) 상에 애노드 전극인 개별 전극(215)을 형성한다. 이러한 개별 전극(215)은, p형 반도체층(214) 상의 일부 영역에만 형성될 수 있다.

[0076] 또한, 개별 전극(215)은, 전술한 바와 같이, 전도성과 접합성이 좋은 금속 물질로 이루어질 수 있다.

[0077] 사파이어 기판(300) 상에 n형 반도체층(212), 활성층(213), p형 반도체층(214) 및 개별 전극(215)의 형성이 완료되면, 개별 전극(215) 상에 트랜지스터(220)를 형성하는 공정을 수행한다.

[0078] 도 4b를 참조하면, 개별 전극(215)의 형성이 완료되면 p형 반도체층(214) 상에 평탄화층(230)을 형성한다. 이러한 평탄화층(230)은, 개별 전극(215)을 노출시키며 배치될 수 있다.

[0079] 그리고, 평탄화층(230) 상에 소스 전극(221)과 드레인 전극(222)을 형성한다.

[0080] 소스 전극(221) 및 드레인 전극(222) 상에 반도체 물질인 채널층(223)과, 절연 물질로 이루어진 게이트 절연층(224)을 형성하고, 게이트 절연층(224) 상에 게이트 전극(225)을 배치한다.

[0081] 게이트 전극(225) 상에는 트랜지스터(220)를 보호하는 보호층(240)이 배치될 수 있다. 이러한 보호층(240)은 SiO2로 이루어질 수 있으며, 보호층(240)과 평탄화층(230)은 동일한 물질로 이루어질 수 있다.

[0082] 이와 같이, 트랜지스터(220)의 형성이 완료되면 n형 반도체층(212)을 사파이어 기판(300)으로부터 분리하는 공정을 수행한다.

[0083] 일 예로, 사파이어 기판(300)의 하면에 레이저를 조사하여 n형 반도체층(212)과 사파이어 기판(330)이 서로 분리되도록 할 수 있다(LLO, Laser Lift Off).

[0084] 사파이어 기판(330)으로부터 n형 반도체층(212)이 분리되면 공통 전극(211)을 형성한다.

[0085] 도 4c를 참조하면, 사파이어 기판(330)으로부터 분리된 n형 반도체층(212)의 하면에 공통 전극(211)을 형성한다.

[0086] 이러한 공통 전극(211)은, 음의 전압이 인가되는 캐소드 전극일 수 있으며, 전술한 바와 같이, 투명한 도전성 물질인 ITO나 IZO로 이루어질 수 있다.

[0087] 이와 같이, 본 발명의 실시예들에 따른 발광 소자(200)는, 마이크로 발광 다이오드(210)의 p형 전극과 n형 전극이 수직 방향으로 배치된다. 그리고, 트랜지스터(220)와 연결되는 전극은 전도성이 좋은 금속 물질로 구성하고, 반대편 전극은 투명한 도전성 물질로 구성하여 활성층(213)에서 발산된 광이 출사될 수 있도록 한다.

[0088] 그리고, 마이크로 발광 다이오드(210) 상에 트랜지스터(220)를 형성함으로써, 마이크로 발광 다이오드(210)를 트랜지스터(220)가 형성된 기판으로 전사시키지 않고 마이크로 디스플레이 장치(200)를 구현할 수 있도록 한다.

[0089] 즉, 마이크로 발광 다이오드(210)가 성장된 기판 상에 트랜지스터(220)를 형성시킴으로써, 마이크로 디스플레이 장치(100)를 구현할 수 있다.

[0090] 또한, 마이크로 발광 다이오드(210) 상에 배치되는 트랜지스터(220)를 탑 게이트 구조로 배치함으로써, 마이크로 발광 다이오드(210)의 전극과 트랜지스터(200)의 전극의 전기적인 연결을 위한 구조를 단순화시킬 수 있다.

[0091] 따라서, 발광 소자(200) 내에 비아 홀과 같은 구조가 불필요하게 되므로, 비아 홀의 형성으로 인한 발광 면적 감소나 칩 사이즈 증가를 방지할 수 있도록 한다. 그리고, 이러한 발광 효율이 극대화된 초소형의 발광 소자(200)를 이용하여 마이크로 디스플레이 장치(100)를 구현함으로써, 마이크로 디스플레이 장치(100)의 고정세를 이룰 수 있도록 한다.

[0092] 도 5는 본 발명의 실시예들에 따른 발광 소자(200)가 배치된 디스플레이 패널(110)의 평면 구조의 예시를 나타낸 것이다.

[0093] 도 5를 참조하면, 본 발명의 실시예들에 따른 마이크로 디스플레이 장치(100)의 디스플레이 패널(110)에는 각각의 발광 소자(200)가 하나의 서브픽셀(SP)을 구성하며 배치될 수 있다.

[0094] 각각의 발광 소자(200)는, 애노드 전극인 개별 전극(215)과 캐소드 전극인 공통 전극(211)이 수직 방향으로 배치된 마이크로 발광 다이오드(210)와, 마이크로 발광 다이오드(220) 상에 형성된 트랜지스터(220)로 구성될 수

있다.

[0095] 발광 소자(200)를 구성하는 트랜지스터(220)를 소스 전극(221)과 드레인 전극(222)이 게이트 전극(225)과 마이크로 발광 다이오드(210) 사이에 배치되며, 마이크로 발광 다이오드(210)와 인접하게 배치되는 탑 게이트 구조일 수 있다.

[0096] 마이크로 발광 다이오드(210) 상에 트랜지스터(220)를 형성하므로, 마이크로 발광 다이오드(210)의 전사 공정 없이 발광 소자(200)를 구성할 수 있다. 그리고, 트랜지스터(220)를 탑 게이트 구조로 형성하여, 마이크로 발광 다이오드(210)의 발광 영역을 식각하거나 발광 소자(200) 내에 비아 홀을 형성하지 않으면서 마이크로 발광 다이오드(210)와 트랜지스터(220)가 전기적으로 연결되는 구조를 제공할 수 있다.

[0097] 따라서, 마이크로 발광 다이오드(210)의 발광 면적을 극대화하고 작은 칩 사이즈를 갖는 발광 소자(200)를 제공할 수 있도록 한다.

[0098] 또한, 마이크로 발광 다이오드(210) 상에 트랜지스터(220)를 형성하는 공정을 수행함으로써, 다수의 발광 소자(200)를 제작하는 공정을 통해 마이크로 디스플레이 장치(100)를 구현할 수 있도록 한다.

[0099] 여기서, 마이크로 발광 다이오드(210)의 하부에 위치하는 공통 전극(211)은 인접한 발광 소자(200)에서 공유하는 구조를 가질 수 있다.

[0100] 즉, 공통 전극(211)을 통해 인접한 발광 소자(200)의 n형 반도체층(212)으로 공통 전압(Vcom)이 공급되도록 하고, p형 반도체층(214)으로는 개별 전극(215)을 통해 발광 소자(200) 별로 전압이 공급되도록 함으로써, 각각의 서브픽셀(SP)에 배치된 각각의 발광 소자(200)를 구동할 수 있도록 한다.

[0101] 도 6은 도 5에 도시된 A-A' 부분의 단면 구조의 예시를 나타낸 것으로서, 인접한 세 개의 서브픽셀(SP)에 배치된 발광 소자(200)의 단면 구조의 예시를 나타낸 것이다.

[0102] 도 6을 참조하면, 인접한 세 개의 서브픽셀(SP)에 배치된 각각의 발광 소자(200)는, 마이크로 발광 다이오드(210)와 마이크로 발광 다이오드(210) 상에 형성된 트랜지스터(220)로 구성될 수 있다.

[0103] 마이크로 발광 다이오드(210)는, 공통 전극(211), n형 반도체층(212), 활성층(213), p형 반도체층(214) 및 개별 전극(215)을 포함할 수 있다.

[0104] 여기서, 공통 전극(211)은 인접한 서브픽셀(SP)에 배치되는 발광 소자(200)에서 공유하는 구조로 배치될 수 있다. 또한, 공통 전극(211) 상에 배치되는 n형 반도체층(212)도 인접한 서브픽셀(SP)에서 공유되는 구조일 수 있다.

[0105] 구체적으로, 공통 전극(211) 상에 n형 반도체층(212)이 배치된다. 그리고, n형 반도체층(212)은 활성층(213)으로부터 발산된 광이 출사되는 발광 영역(EA, Emission Area)과 발광 영역(EA) 사이의 경계 영역(BA, Boundary Area)으로 구분될 수 있다. 즉, 경계 영역(BA)은 인접한 서브픽셀(SP) 사이의 경계에 해당하는 영역일 수 있다.

[0106] n형 반도체층(212)은, 경계 영역(BA)에 위치하는 홈을 포함할 수 있다. 이러한 홈의 깊이는 n형 반도체층(212)의 두께보다 작을 수 있다.

[0107] 그리고, n형 반도체층(212) 상에서 발광 영역(EA)에 해당하는 영역에는 활성층(213)과 p형 반도체층(214)이 적층된 구조로 배치될 수 있다.

[0108] 즉, 공통 전극(211) 상에 n형 반도체층(212)이 배치되고, n형 반도체층(212) 상에는 활성층(213), p형 반도체층(214)이 발광 영역(EA)마다 분리된 구조로 배치되어 하나의 서브픽셀(SP)을 구성할 수 있다.

[0109] 이와 같이, 각각의 서브픽셀(SP)에 배치되는 활성층(213)과 p형 반도체층(214)은 경계 영역(BA)에 의해 절연된 구조로 배치되며, 인접한 활성층(213)의 사이와 인접한 p형 반도체층(214)의 사이에 해당하는 경계 영역(BA)에는 절연 물질(250)이 배치될 수 있다. 이러한 절연 물질(250)은 n형 반도체층(212)에 포함된 홈에 배치될 수도 있다. 따라서, 절연 물질(250)은, 활성층(213)과 p형 반도체층(214)의 측면과, n형 반도체층(212)의 측면 중 적어도 일부분을 감싸며 배치될 수 있다.

[0110] p형 반도체층(214) 상에는 개별 전극(215)이 배치되며, 개별 전극(215)은 발광 영역(EA)마다 각각 하나씩 배치될 수 있다.

[0111] 개별 전극(215) 상에는 트랜지스터(220)가 배치되며, 트랜지스터(220)는 각각의 서브픽셀(SP)마다 배치될 수 있

다.

[0112] 이러한 트랜지스터(220)는, 소스 전극(221), 드레인 전극(222), 채널층(223), 게이트 절연층(224) 및 게이트 전극(225)을 포함할 수 있다.

[0113] 구체적으로, 마이크로 발광 다이오드(210)의 개별 전극(215) 상에 소스 전극(221)과 드레인 전극(222)이 위치하며, 개별 전극(215)과 드레인 전극(222)이 전기적으로 연결된 구조일 수 있다. 그리고, 소스 전극(221)과 p형 반도체층(214) 사이에는 평탄화층(230)이 배치될 수 있다.

[0114] 소스 전극(221)과 드레인 전극(222) 상에 채널층(223)이 배치되어 소스 전극(221)과 드레인 전극(222)은 채널층(223)을 통해 전기적으로 연결될 수 있다. 채널층(223) 상에 게이트 절연층(224)과 게이트 전극(225)이 순차적으로 배치된다.

[0115] 따라서, 마이크로 발광 다이오드(210)의 위치를 기준으로 게이트 전극(225)이 소스 전극(221)이나 드레인 전극(222)보다 상부에 위치하는 탑 게이트 구조를 가질 수 있다.

[0116] 이러한 발광 소자(200)의 구조에 의하면, 웨이퍼 기판 상에서 마이크로 발광 다이오드(210)와 트랜지스터(220)를 형성하는 공정을 통해 마이크로 디스플레이 장치(100)를 구현할 수 있다.

[0117] 이러한 발광 소자(200)의 공정 과정의 예시를 설명하면, 사파이어 기판(300) 상에 n형 반도체층(212), 활성층(213) 및 p형 반도체층(214)을 성장시킨다. 그리고, 전극이 형성되지 않은 마이크로 발광 다이오드(210)에서 경계 영역(BA)에 해당하는 부분을 식각하는 공정을 수행한다.

[0118] 이러한 식각 공정에 의해 활성층(213), p형 반도체층(214)은 분리된 구조를 갖게 되며, n형 반도체층(212)에는 경계 영역(BA)에 위치하는 홈이 형성될 수 있다.

[0119] 그리고, 분리된 p형 반도체층(214) 상에 각각 개별 전극(215)을 형성한다. 이러한 개별 전극(215)은, 전도성과 접합성이 좋은 금속 합금으로 이루어질 수 있다.

[0120] 개별 전극(215)의 형성이 완료되면, 각각의 개별 전극(215) 상에 위치하는 트랜지스터(220)를 형성하는 공정을 수행한다.

[0121] 우선 p형 반도체층(214) 상에 평탄화층(230)을 배치하며, 이러한 평탄화층(230)은 개별 전극(215)이 노출되도록 배치된다.

[0122] 그리고, 평탄화층(230)과 개별 전극(215) 상에 소스 전극(221)과 드레인 전극(222)을 형성한다.

[0123] 트랜지스터(220)는, 소스 전극(221) 및 드레인 전극(222) 상에 채널층(223), 게이트 절연층(224) 및 게이트 전극(225)을 순차적으로 적층하는 공정을 통해 형성될 수 있다.

[0124] 트랜지스터(220) 상에는 보호층(240)을 형성할 수 있으며, 마이크로 발광 다이오드(210)에서 경계 영역(BA)에 해당하는 부분에는 절연 물질(250)을 배치할 수 있다. 이러한 절연 물질(250)은, 마이크로 발광 다이오드(210) 상에 평탄화층(230)을 형성하는 과정에서 배치될 수도 있고, 보호층(240)을 형성하는 과정에서 배치될 수도 있다. 또한, 절연 물질(250)은, 평탄화층(230)이나 보호층(240)을 구성하는 물질과 동일한 물질일 수 있다.

[0125] 트랜지스터(220)의 형성이 완료되면, 사파이어 기판(300)으로부터 n형 반도체층(212)을 분리하고, 분리된 n형 반도체층(212)의 하면에 공통 전극(211)을 형성하여 일체로 형성된 다수의 발광 소자(200)를 제작할 수 있다.

[0126] 그리고, 이러한 다수의 발광 소자(200)에 디스플레이 구동을 위한 구동 회로 등을 연결하는 공정을 통해 마이크로 디스플레이 장치(100)를 구현할 수 있다.

[0127] 따라서, 마이크로 발광 다이오드(210) 상에 트랜지스터(220)를 형성하는 공정을 통해 발광 소자(200)를 구현함으로써, 전사 공정 없이 마이크로 디스플레이 장치(100)를 구현할 수 있도록 한다. 그리고, 마이크로 발광 다이오드(210)에서 서브픽셀(SP)의 경계에 해당하는 경계 영역(BA)만 식각하므로, 서브픽셀(SP)을 구성하는 마이크로 발광 다이오드(210)의 발광 면적을 극대화할 수 있다.

[0128] 또한, 트랜지스터(220)를 탑 게이트 구조로 배치하여 드레인 전극(222)과 개별 전극(215)이 직접 연결되도록 함으로써, 마이크로 발광 다이오드(210)와 트랜지스터(220)의 전기적인 연결을 위한 별도의 구조(예, 비아 홀)를 형성할 필요가 없도록 한다. 그리고, 비아 홀과 같은 구조가 필요 없도록 함으로써, 발광 소자(200)의 크기를 최소화할 수 있도록 하여 고정세를 이룰 수 있도록 한다.

[0129] 한편, 이러한 다수의 발광 소자(200)가 일체로 형성된 구조에서 마이크로 발광 다이오드(210)의 경계 영역(BA)에 위치하는 홈의 깊이는 다양하게 설계될 수 있다.

[0130] 도 7은 도 5에 도시된 A-A' 부분의 단면 구조의 다른 예시를 나타낸 것으로서, 마이크로 발광 다이오드(210)의 경계 영역(BA)에 형성된 홈의 깊이가 다르게 구현된 구조의 예시를 나타낸 것이다.

[0131] 도 7을 참조하면, 인접한 서브픽셀(SP)을 각각 구성하는 발광 소자(200)에서 n형 반도체층(212)이 발광 소자(200)마다 분리된 구조로 배치될 수도 있다.

[0132] 공정 과정을 예시로 하여 설명하면, 사파이어 기판(300) 상에 n형 반도체층(212), 활성층(213) 및 p형 반도체층(214)을 성장시킨다. 그리고, 전극이 구성되지 않은 마이크로 발광 다이오드(210)에서 경계 영역(BA)에 해당하는 부분을 식각하는 공정을 수행한다.

[0133] 여기서, 경계 영역(BA)에 해당하는 부분을 식각하는 공정을 통해 p형 반도체층(214), 활성층(213) 및 n형 반도체층(212)이 분리되도록 할 수 있다. 또는, 식각하는 공정을 통해 p형 반도체층(214)과 활성층(213)만 분리되도록 할 수도 있다.

[0134] 즉, 각각의 서브픽셀(SP)을 구성하는 각각의 발광 소자(200)가 독립적으로 구동하기 위해서는, 어느 하나의 발광 소자(200)를 구성하는 p형 반도체층(214), 활성층(213)이 다른 발광 소자(200)를 구성하는 p형 반도체층(214), 활성층(213)과 절연되어야 한다.

[0135] 따라서, 전극이 구성되지 않은 마이크로 발광 다이오드(210)에서 경계 영역에 해당하는 부분에 홈을 형성할 수 있으며, 이러한 홈의 깊이는 p형 반도체층(214) 및 활성층(213)의 두께 이상이고 p형 반도체층(214), 활성층(213) 및 n형 반도체층(212)의 두께 이하의 범위에서 다양하게 설계될 수 있다.

[0136] 이러한 식각 공정이 완료되면, 각각의 마이크로 발광 다이오드(210)의 개별 전극(215)을 형성하고, 개별 전극(215) 상에 위치하는 트랜지스터(220)를 형성한다.

[0137] 트랜지스터(220)의 형성이 완료되면, 트랜지스터(220) 상에 보호층(240)을 배치하고, 마이크로 발광 다이오드(210)에 형성된 홈에는 절연 물질(250)이 배치될 수 있다.

[0138] 그리고, n형 반도체층(212)을 사파이어 기판(330)으로부터 분리하는 공정을 수행한다.

[0139] 여기서, 보호층(240)과 절연 물질(250) 등에 의해 다수의 발광 소자(200)가 고정될 수 있으므로, n형 반도체층(212)을 발광 소자(200)마다 분리되도록 식각하고 사파이어 기판(300)으로부터 분리하더라도 다수의 발광 소자(200)가 분리되지 않게 된다.

[0140] 사파이어 기판(300)이 분리되면, n형 반도체층(212)의 하면에 공통 전극(211)을 형성하여 일체로 형성된 다수의 발광 소자(200)를 완성할 수 있다. 이러한 다수의 발광 소자(200)은 캐소드 전극에 해당하는 공통 전극(211)이 공유된 구조이므로, 캐소드 전극이 발광 소자(200)마다 분리되어 형성된 구조에 비하여 구동을 용이하게 할 수 있다.

[0141] 또한, 이러한 공통 전극(211)은 투명 전극으로 배치되므로, 일체로 형성된 다수의 발광 소자(200)의 하면으로 광을 출사시키며 이미지를 표시할 수 있다. 그리고, 이러한 공통 전극(211)의 하면에는 색상을 표현하기 위한 구성이 배치될 수 있다.

[0142] 도 8은 도 5에 도시된 A-A' 부분의 단면 구조의 또 다른 예시를 나타낸 것으로서, 본 발명의 실시예들에 따른 발광 소자(200)가 색상을 표현하기 위한 구성을 더 포함하는 구조의 예시를 나타낸 것이다.

[0143] 도 8을 참조하면, 일체로 형성된 다수의 발광 소자(200)는, 마이크로 발광 다이오드(210)와 트랜지스터(220)가 적층된 구조를 가질 수 있다. 그리고, 마이크로 발광 다이오드(210)는, 다수의 발광 소자(200)에서 공유되는 공통 전극(211), n형 반도체층(212)과, 각각의 발광 소자(200)마다 분리된 활성층(213), p형 반도체층(214) 및 개별 전극(215)을 포함할 수 있다.

[0144] 트랜지스터(220)는, 각각의 마이크로 발광 다이오드(210) 상에 배치되고 드레인 전극(222)이 개별 전극(215)과 인접하게 위치하는 탑 게이트 구조로 배치될 수 있다.

[0145] 이러한 발광 소자(200)는, 공통 전극(211)의 하면에 배치되는 색상 변환층(261, 262, 263)을 더 포함할 수 있다.

[0146] 이러한 색상 변환층(261, 262, 263)은, 공통 전극(211)의 하면에서 발광 영역(EA)과 대응하는 영역에 배치될 수 있다. 그리고, 마이크로 발광 다이오드(210)로부터 출사된 광이 적색, 녹색, 청색 광을 나타내도록 할 수 있다.

[0147] 이러한 색상 변환층(261, 262, 263)은, 일 예로, 특정 파장 대역의 광을 흡수하거나 발산하는 형광체로 구성될 수도 있고, 퀀텀닷이나 나노 유기 물질로 구성될 수도 있다. 또는, 특정 파장 대역의 광만 통과시키는 컬러필터로 구성될 수도 있다. 또는, 특정 파장 대역의 광을 발산하는 형광체와 특정 파장 대역의 광을 통과시키는 컬러필터로 구성될 수도 있다.

[0148] 즉, 색상 변환층(261, 262, 263)은, 마이크로 발광 다이오드(210)로부터 출사된 광을 특정 색상을 나타내도록 하는 다양한 물질로 구성될 수 있다.

[0149] 그리고, 인접한 색상 변환층(261, 262, 263) 사이에는 혼색을 방지하는 격벽(예, 블랙 매트릭스)이 배치될 수도 있으나, 본 발명의 실시예들에 따른 발광 소자(200)는 색상 변환층(261, 262, 263) 사이에 격벽을 포함하지 않을 수도 있다.

[0150] 이는 전극이 수직으로 구성된 마이크로 발광 다이오드(210) 상에 탑 게이트 구조의 트랜지스터(220)를 배치하여 발광 소자(200)를 구성함으로써, 발광 소자(200)의 크기를 매우 작게 구현할 수 있다.

[0151] 따라서, 초소형 발광 소자(200)로부터 출사된 광에 의해 표현된 색상이 혼색되는 것을 시인하지 못할 수 있으므로, 색상 변환층(261, 262, 263) 사이에 격벽을 배치하지 않을 수도 있고, 색상 변환층(261, 262, 263)이 서로 접하게 배치될 수도 있다.

[0152] 본 발명의 실시예들에 의하면, 마이크로 발광 다이오드(210) 상에 트랜지스터(220)가 형성되도록 하여, 마이크로 발광 다이오드(210)를 트랜지스터(220)가 배치된 기판으로 전사시키는 공정 없이 발광 소자(200)와 마이크로 디스플레이 장치(100)를 구현할 수 있도록 한다.

[0153] 또한, 마이크로 발광 다이오드(210)의 전극을 수직형으로 구성하고 트랜지스터(220)를 탑 게이트 구조로 구성함으로써, 발광 영역의 감소와 칩 사이즈의 증가를 방지하여, 발광 효율이 극대화된 초소형의 발광 소자(200)를 제공할 수 있도록 한다.

[0154] 따라서, 초소형의 발광 소자(200)를 이용하여 서브픽셀(SP)을 구성함으로써, 마이크로 디스플레이 장치(100)의 고정세를 이룰 수 있도록 한다. 그리고, 다수의 발광 소자(200)를 동시에 제작하고 이러한 다수의 발광 소자(200) 자체가 디스플레이 장치를 구성할 수 있도록 하여 마이크로 디스플레이 장치(100)를 용이하게 구현할 수 있도록 한다.

[0155] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 또한, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이므로 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리 범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0157] 100: 마이크로 디스플레이 장치 110: 디스플레이 패널

120: 게이트 구동 회로 130: 데이터 구동 회로

140: 컨트롤러 200: 발광 소자

210: 마이크로 발광 다이오드 211: 공통 전극

212: n형 반도체층 213: 활성층

214: p형 반도체층 215: 개별 전극

220: 트랜지스터 221: 소스 전극

222: 드레인 전극 223: 채널층

224: 게이트 절연층 225: 게이트 전극

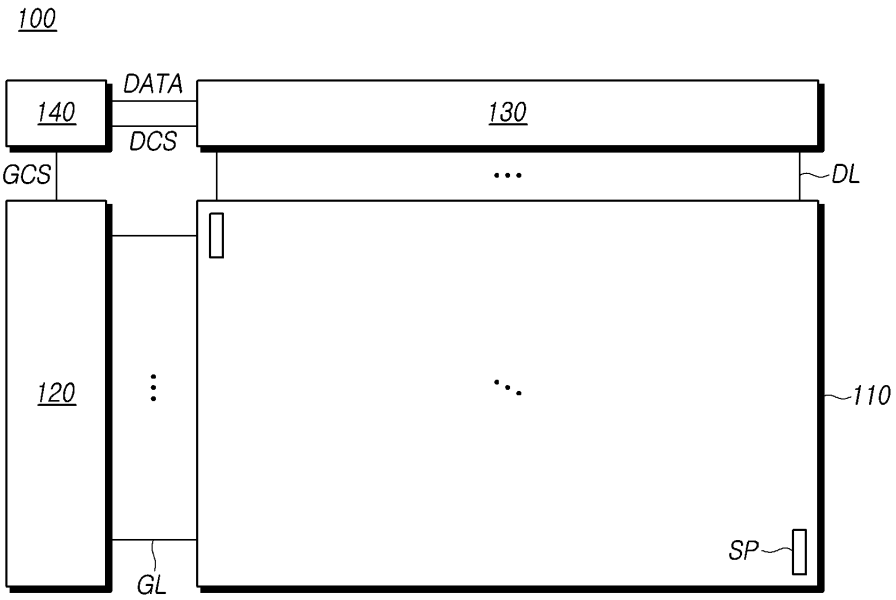
230: 평탄화층 240: 보호층

250: 절연 물질 261, 262, 263: 색상 변환층

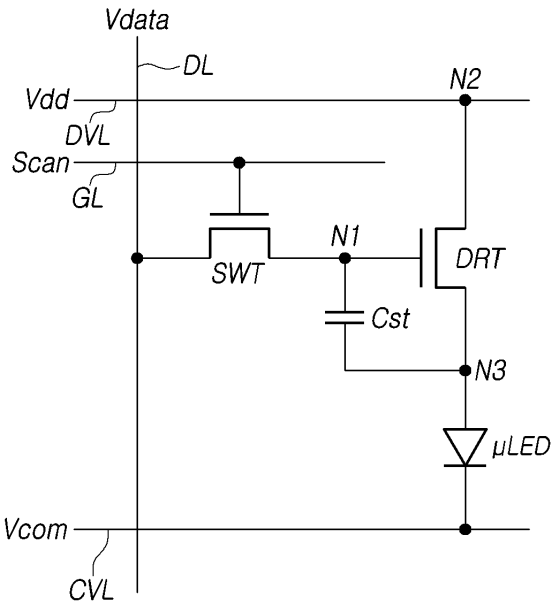
300: 사파이어 기판

도면

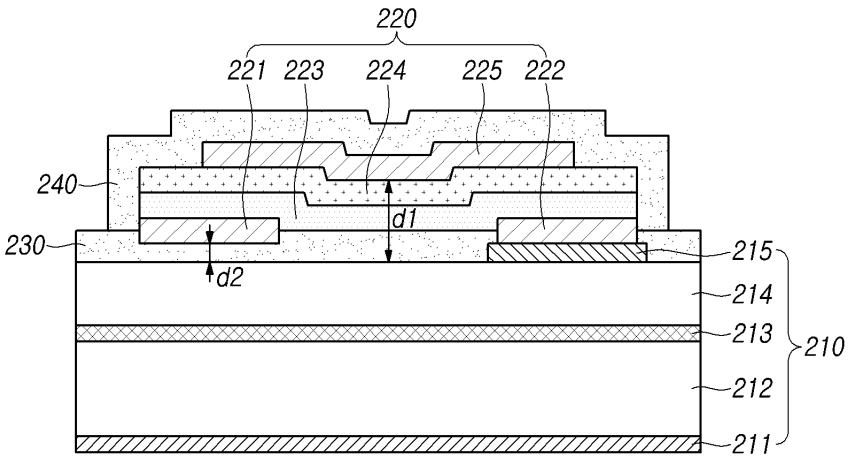
도면1



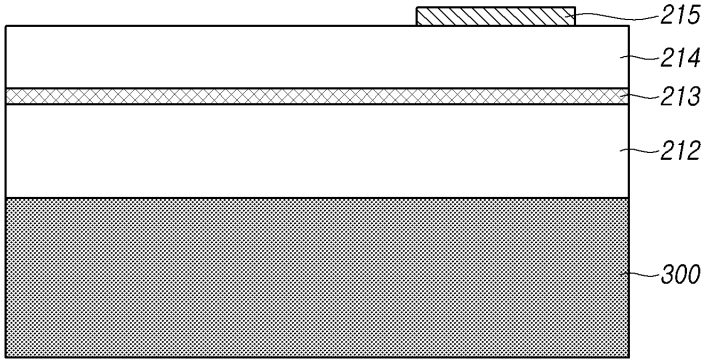
도면2



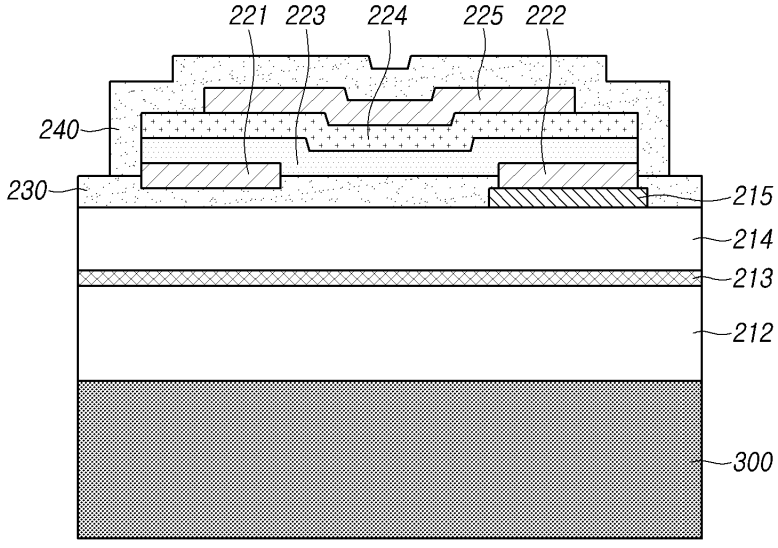
도면3



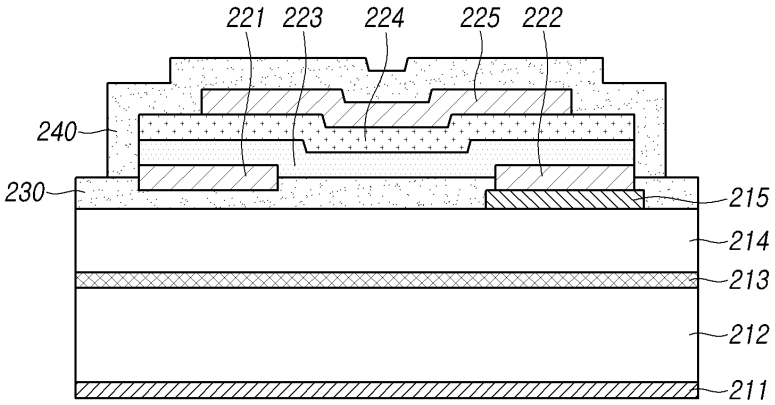
도면4a



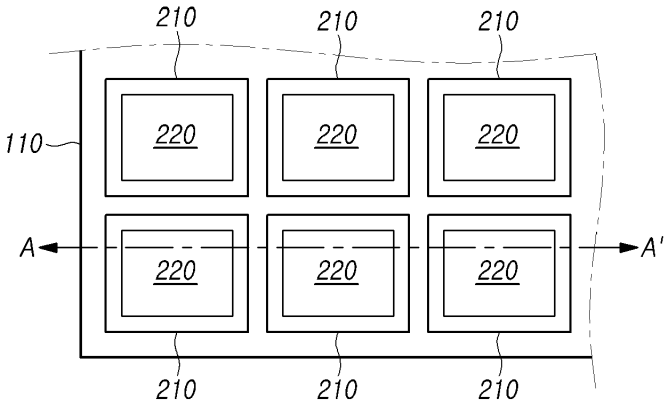
도면4b



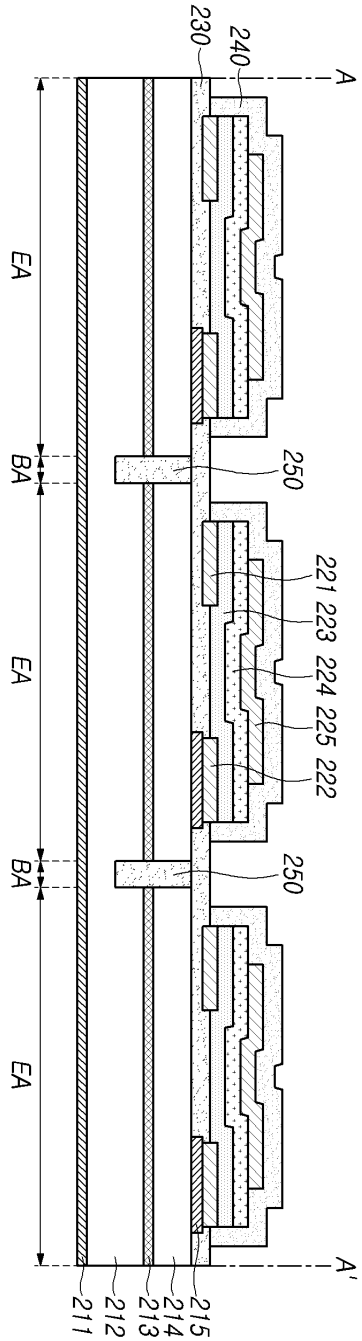
도면4c


221
223
224
225
222
240
230
215
214
213
212
211

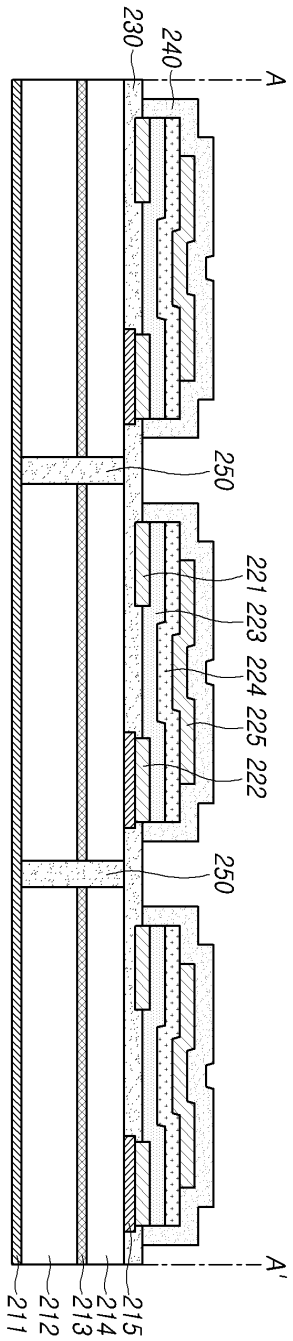
도면5


210
210
210
110
220
220
220
A
A'
220
220
220
210
210
210

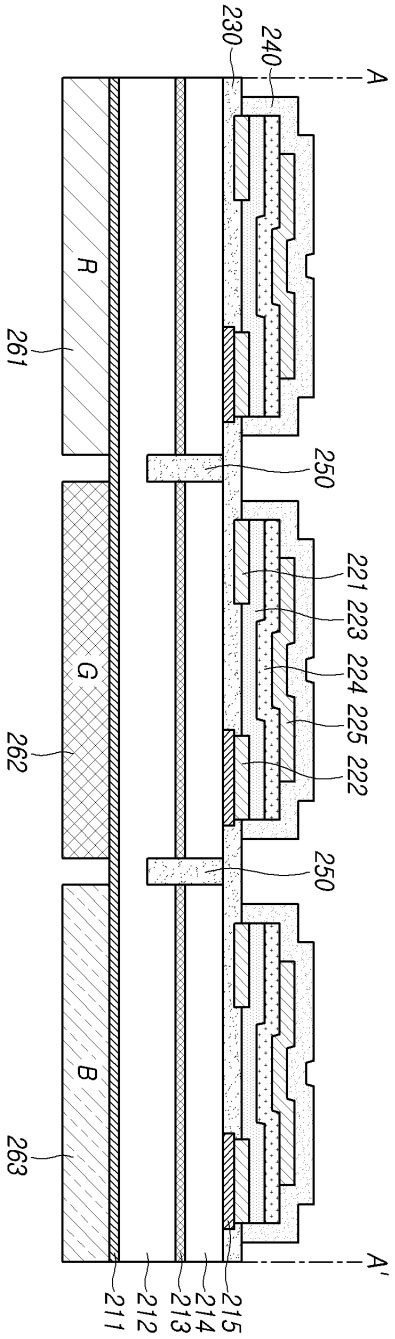
도면6


230
240
A
EA
BA
250
221
223
224
225
222
EA
BA
250
EA
A'
211
212
213
214
215

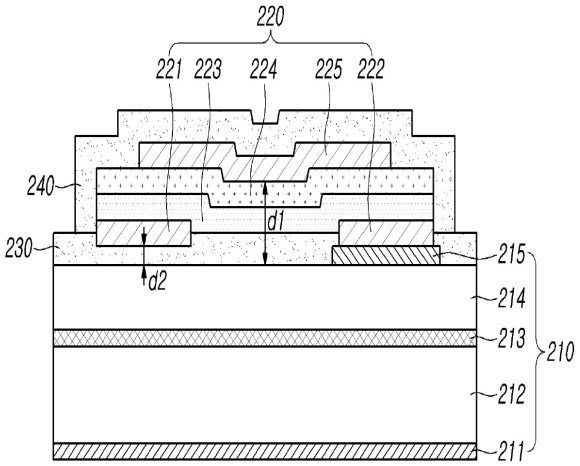
도면7



도면8


230
240
A
R
261
250
221
223
224
225
222
G
262
250
B
263
A'
211
212
213
214
215

专利名称(译)	发光器件，微显示器件		
公开(公告)号	KR1020190071277A	公开(公告)日	2019-06-24
申请号	KR1020170172172	申请日	2017-12-14
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김일수 정태일		
发明人	김일수 정태일		
IPC分类号	H01L27/15 H01L33/00 H01L33/42		
CPC分类号	H01L27/156 H01L33/0008 H01L33/42		
外部链接	Espacenet		

摘要(译)

本发明的实施方式涉及一种发光器件和微显示器件，其通过在晶片基板上生长的微发光二极管上形成阳极电极并形成具有顶栅结构的晶体管，从而将微发光二极管转移到其上形成有晶体管的基板上。无需处理即可实现发光装置和微型显示装置。另外，通过最小化微发光二极管的蚀刻面积以最大化微发光二极管的发光效率并减小芯片尺寸，从而增加每单位面积布置的像素数量，以实现微显示装置的高清晰度。做吧